

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-244456

(43)Date of publication of application : 07.09.2001

(51)Int. Cl.

H01L 29/778
H01L 21/338
H01L 29/812
H01L 21/28
H01L 29/417
H01L 21/337
H01L 29/808

(21)Application number : 2000-051962

(71)Applicant : NEC CORP

(22)Date of filing : 28.02.2000

(72)Inventor : KATO TAKEHIKO

OTA KAZUKI

MIYAMOTO HIRONOBU

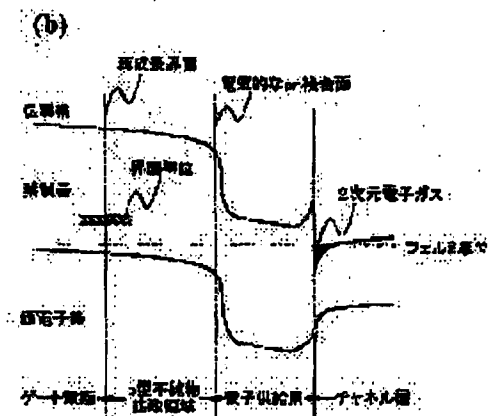
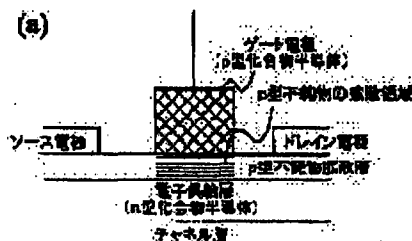
IWATA NAOTAKA

(54) COMPOUND SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a JFET having an excellent high-frequency characteristic.

SOLUTION: A p-type impurity in a gate electrode is actively diffused in a p-type impurity diffusion layer. An electric pn-junction surface in a gate electrode region is formed in the p-type impurity diffusion layer or on the bottom surface thereof. Consequently, an influence of an interface state generated at a regrowth interface on the pn-junction surface is suppressed.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-244456

(P2001-244456A)

(43) 公開日 平成13年9月7日 (2001.9.7)

(51) Int.Cl. ⁷	識別記号	F I	テマコード (参考)
H 0 1 L 29/778		H 0 1 L 21/28	3 0 1 H 4 M 1 0 4
21/338		29/80	H 5 F 1 0 2
29/812		29/50	J
21/28	3 0 1	29/80	C
29/417			

審査請求 有 請求項の数 11 O L (全 11 頁) 最終頁に続く

(21) 出願番号 特願2000-51962(P2000-51962)

(22) 出願日 平成12年2月28日 (2000.2.28)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 加藤 武彦

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 大田 一樹

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100088328

弁理士 金田 暢之 (外2名)

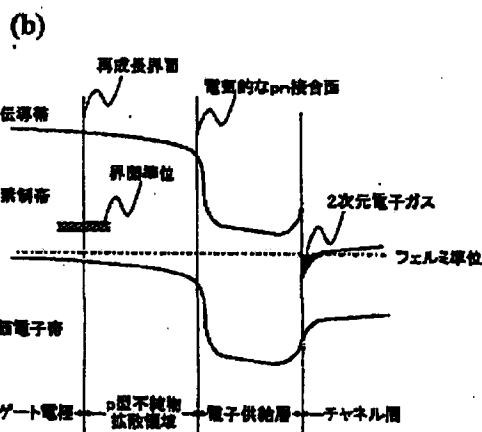
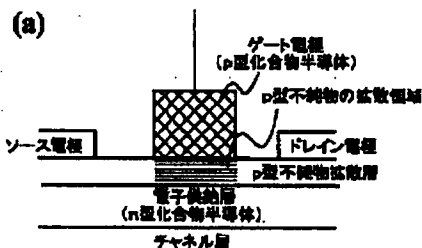
最終頁に続く

(54) 【発明の名称】 化合物半導体装置およびその製造方法

(57) 【要約】

【課題】 高周波特性に優れる J F E T を提供する。

【解決手段】 ゲート電極中の p 型不純物を p 型不純物拡散層中に積極的に拡散し、ゲート電極領域の電気的な p n 接合面を p 型不純物拡散層内または底面に形成することにより、再成長界面に発生する界面準位の p n 接合面に対する影響を抑制する。



【特許請求の範囲】

【請求項1】 i型化合物半導体よりなるチャンネル層と、該チャンネル層上に形成された、n型化合物半導体よりなる電子供給層と、該電子供給層上に形成された、i型化合物半導体又はp型化合物半導体よりなるp型不純物拡散層と、該p型不純物拡散層上に形成された、p型化合物半導体よりなるゲート電極と、を少なくとも含んでなる化合物半導体装置であって、該電子供給層と該ゲート電極との間の電気的なpn接合面は、該p型不純物拡散層内または該p型不純物拡散層の底面に形成されていることを特徴とする化合物半導体装置。

【請求項2】 前記pn接合面は、Zn、Be、Mg、C及びCdより選ばれる1種類以上のp型不純物を前記p型不純物拡散層内に拡散させることによって形成されるものであることを特徴とする請求項1記載の化合物半導体装置。

【請求項3】 前記ゲート電極は、前記p型不純物拡散層と同組成の化合物半導体にp型不純物をドーピングすることによって形成されるものであることを特徴とする請求項1又は2記載の化合物半導体装置。

【請求項4】 前記p型不純物拡散層は、Alを含まない化合物半導体よりなることを特徴とする請求項1乃至3いずれかに記載の化合物半導体装置。

【請求項5】 前記p型不純物拡散層は、アンドープGaAs又はCドーピングGaAsよりなることを特徴とする請求項1乃至4いずれかに記載の化合物半導体装置。

【請求項6】 前記電子供給層は、SiドーピングAl_{1-x}Ga_xAs (0<x<0.5)よりなることを特徴とする請求項1乃至5いずれかに記載の化合物半導体装置。

【請求項7】 前記ゲート電極は、ZnドーピングGaAs、BeドーピングGaAs又はCドーピングGaAsよりなることを特徴とする請求項1乃至6いずれかに記載の化合物半導体装置。

【請求項8】 前記電子供給層と前記p型不純物拡散層との間には、i型化合物半導体またはn型化合物半導体よりなるp型不純物不活性層が形成されていることを特徴とする請求項1乃至7いずれかに記載の化合物半導体装置。

【請求項9】 前記p型不純物不活性層は、アンドープAl_{1-y}Ga_{1-y}As (0<y<0.5)又はアンドープIn_zGa_{1-z}P (0<z<0.5)よりなることを特徴とする請求項8記載の化合物半導体装置。

【請求項10】 i型化合物半導体よりなるチャンネル層を形成する工程と、該チャンネル層上に、n型化合物半導体よりなる電子供給層を形成する工程と、該電子供給層上に、i型化合物半導体又はp型化合物半導体よりなるp型不純物拡散層を形成する工程と、該p型不純物拡散層上に、p型化合物半導体よりなるゲート電極を形成する工程と、p型不純物を該p型不純物拡散層内に拡散し、該ゲート電極の下部にゲート電極として機能し得る

p型化合物半導体領域を新たに形成して、該電子供給層と該ゲート電極との間の電気的なpn接合面を、該p型不純物拡散層内または該p型不純物拡散層の底面に形成する工程と、を少なくとも含むことを特徴とする化合物半導体装置の製造方法。

【請求項11】 前記電子供給層の形成後で前記p型不純物拡散層の形成前に、i型化合物半導体またはn型化合物半導体よりなるp型不純物不活性層を形成することを特徴とする請求項10記載の化合物半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、III-V族化合物半導体よりなる高電子移動度トランジスタ（以降、HEMTとも言う）に関し、より詳しくは、ゲート領域にpn接合を有するFET（以降、JFETとも言う）に関する。

【0002】

【従来の技術】図2(a)に示す様に、n-AlGaAsやn-InGaPなどのn型化合物半導体（電子供給層）とGaAsやInGaAsなどのi型化合物半導体（チャンネル層）とからヘテロ接合を形成すると、n型化合物半導体は電子をi型化合物半導体に供給する。そして図2(b)に示す様に、供給された電子はi型化合物半導体中のヘテロ接合界面に集中し、2次元電子ガスを形成して、チャンネルとして機能する。この電子をドーピングの不純物を含有しないチャンネル層中で走らせると、不純物による散乱が発生しないため、電子の移動度は高いものとなり、HEMTの構築が可能となる。更に近年では、HEMTのゲート領域にpn接合を形成し、このpn接合を逆バイアスとしてゲート直下のチャンネル幅を制御することにより、ドレイン電流を制御するJFETの開発が盛んである。JFETは、HEMTが有する高速動作や低雑音と言った特性に加え、ゲート順方向立上がり電圧が大きく、高電流動作が可能であるため、特にエンハンスメント型のJFETが高速通信や衛星放送の分野で実用化されつつある。

【0003】

【発明が解決しようとする課題】しかしながら、JFETには、ゲート領域のpn接合面に起因する以下の様な問題点があった。

【0004】第1に、図2(a)の電子供給層とゲート電極との間の再成長界面には、結晶表面の欠損、再成長時に埋伏される酸化物等の不純物、結晶格子の不連続等に起因する界面準位が発生する場合があった。そして、界面準位が発生すると、これを介して電子がリークするため、素子の外部信号に対する追従性が低下し、高周波特性が著しく劣化する場合があった。

【0005】界面準位の影響を抑制する例としては、RF出力が飽和し難く、利得の線形性に優れ、十分なゲート

ト耐電圧を実現するために、ゲート電極と n -GaAs層との間に層厚30nm以上の i -GaAs層を形成することが、特開平5-235042号公報に記載されている。しかしながら、当該公報に記載の方法では、ゲート電極直下での電界集中は抑制されるものの、界面準位は依然 p - n 接合面近傍に存在しているため、得られる素子の高周波特性は不十分な場合があった。また、 n -GaAs層の層厚は30nm以上とされるため、対ゲート電圧のドレイン電流の制御性が低い場合や、エンハンスメント型のJFETの作製が困難な場合があった。

【0006】特開平10-64924号公報には、ゲート電極と半導体基板との間に間隙が発生することを抑制するために、ゲート電極を選択エピタキシャル結晶成長法による作製することが記載されている。しかしながら、当該公報に記載の方法では、間隙に起因する界面準位の発生は抑制できるものの、表面欠損、酸化物等の不純物、結晶格子の不連続等に起因する界面準位の発生を抑制することは困難であると考えられる。

【0007】第2の問題は、ゲート電極にドーブされたZn、Be、Mg、C、Cd等の p 型不純物が電子供給層中に高速で拡散していくことに起因する。この場合、 p - n 接合面の急峻性が低下するために、しきい値電圧の制御性が低下し、歩留まりが低下する場合があった。また、ゲート容量が増大し、得られる素子の高周波特性が著しく損なわれる場合もあった。

【0008】ゲート電極にドーブされた p 型不純物の拡散を抑制する例としては、ソース及びドレインの相対する端面間にアンドープ半導体層を設け、 p 型不純物の拡散を行うことなく、アンドープ半導体層を含んで p - n 接合ゲートを構成することが、特開平8-83808号公報に記載されている。しかしながら、この方法によれば、しきい値電圧の制御性を向上し、ゲート寄生容量を低減できるものの、 p - n 接合ゲート形成後の p 型不純物の拡散を抑制することは困難だと考えられる。

【0009】また、特開平11-214403号公報には、Bを含む半導体層に p 型不純物を注入する、又は、 p 型不純物の注入と同時にBを注入してゲート電極を作製することにより、 p 型不純物の拡散を制御することが記載されている。しかしながら、当該公報に記載の方法では、 p 型不純物の拡散を制御するには所定量のBを用いる必要があり、化合物半導体基板の特性を損なう可能性がある。

【0010】いずれにしても、これら公報等に記載の従来方法においては、 p - n 接合面における p 型不純物の拡散は否定的に捉えられ、これを抑制、制御することが主眼であった。

【0011】第3の問題は、電子供給層上にゲート電極を成長する際に、電子供給層およびゲート電極間に形成される再成長界面の接合不良に関する。すなわち、ゲート電極を構成する化合物半導体と電子供給層を構成する

化合物半導体との格子定数の違いや、電子供給層の表面に存在する金属酸化物に起因して、再成長界面の接合が不良となる場合があった。再成長界面の接合不良が多発すると、得られる素子の寿命が短くなり、歩留まりも低下する。

【0012】以上の様な問題に鑑み、本発明の目的は、ゲート領域の p - n 接合面における p 型不純物の拡散を積極的に利用することにより、界面準位の影響が十分抑制され、 p - n 接合面の急峻性が向上され、再成長界面の良好な接合が実現されたJFET及びその製造方法を提供することにある。

【0013】

【課題を解決するための手段】上記目的を達成するための本発明によれば、 i 型化合物半導体よりなるチャンネル層と、該チャンネル層上に形成された、 n 型化合物半導体よりなる電子供給層と、該電子供給層上に形成された、 i 型化合物半導体又は p 型化合物半導体よりなる p 型不純物拡散層と、該 p 型不純物拡散層上に形成された、 p 型化合物半導体よりなるゲート電極と、を少なくとも含んでなる化合物半導体装置であって、該電子供給層と該ゲート電極との間の電気的な p - n 接合面は、該 p 型不純物拡散層内または該 p 型不純物拡散層の底面に形成されていることを特徴とする化合物半導体装置が提供される。

【0014】また、本発明によれば、 i 型化合物半導体よりなるチャンネル層を形成する工程と、該チャンネル層上に、 n 型化合物半導体よりなる電子供給層を形成する工程と、該電子供給層上に、 i 型化合物半導体又は p 型化合物半導体よりなる p 型不純物拡散層を形成する工程と、該 p 型不純物拡散層上に、 p 型化合物半導体よりなるゲート電極を形成する工程と、 p 型不純物を該 p 型不純物拡散層内に拡散し、該ゲート電極の下部にゲート電極として機能し得る p 型化合物半導体領域を新たに形成して、該電子供給層と該ゲート電極との間の電気的な p - n 接合面を、該 p 型不純物拡散層内または該 p 型不純物拡散層の底面に形成する工程と、を少なくとも含むことを特徴とする化合物半導体装置の製造方法が提供される。

【0015】

【発明の実施の形態】以下、本発明の好適な実施の形態について説明する。

【0016】本発明におけるJFETでは、図1(a)に示すように、ゲート電極と電子供給層の間に、 p 型不純物拡散層が設けられており、ゲート電極中の p 型不純物は、積極的に p 型不純物拡散層中に拡散される。このため、 p 型不純物拡散層中の p 型不純物が拡散された領域は p 型化合物半導体となり、この新たに形成された p 型化合物半導体領域は電気的にゲート電極として機能する。従って、ゲート領域の電気的な p - n 接合面は、 p 型不純物の拡散領域の端面となり、 p 型不純物拡散層内に

10

20

30

40

50

存在することとなる。この結果、p型不純物拡散層およびゲート電極間に形成される再成長界面と電気的なpn接合面とは、p型不純物が拡散した距離だけ離れたものとなる。よって、図1(b)に示すように、界面準位は再成長界面に発生するものであるから、電気的なpn接合面における界面準位を経由した電子のリークは抑制され、得られる素子の外部信号に対する追従性が向上し、高周波特性が著しく向上する。

【0017】本発明においては、拡散されたp型不純物が、p型不純物拡散層を通過し電子供給層にまで到達し得る場合もある。しかしながら、電子供給層はn型化合物半導体からなるため、電子供給層中に到達したp型不純物により、新たにp型化合物半導体領域が形成されることは抑制される。よって、この場合、ゲート領域の電気的なpn接合面は、p型不純物拡散層と電子供給層との間の界面、すなわち、p型不純物拡散層の底面に規定されるため、良好な急峻性を有することとなる。この結果、得られる素子のゲート容量は十分低く、高周波特性は良好なものとなる。

【0018】本発明における電気的なpn接合面とは、ゲート電極等の、p型不純物拡散層上に接して形成されたp型化合物半導体層に含まれるp型不純物を、p型不純物拡散層内に拡散させることによって、拡散領域の端面に形成されるものであり、このようなp型不純物としては、拡散速度の速いものが好ましく、例えば、Zn、Be、Mg、C及びCd等を例示することができ、必要に応じて、これらp型不純物の2種類以上からなる混合物を用いる場合もある。

【0019】上記のp型不純物のドーパント濃度は、得られるゲート電極の特性やp型不純物の拡散効率の観点から、 $1 \times 10^{18} \text{ atm/cm}^3$ 以上が好ましく、 $5 \times 10^{18} \text{ atm/cm}^3$ 以上がより好ましく、 $1 \times 10^{19} \text{ atm/cm}^3$ 以上が更に好ましく、 $1 \times 10^{20} \text{ atm/cm}^3$ 以下が好ましく、 $5 \times 10^{20} \text{ atm/cm}^3$ 以下がより好ましく、 $1 \times 10^{21} \text{ atm/cm}^3$ 以下が更に好ましい。

【0020】上記のドーパント濃度の範囲でp型不純物を、GaAs、Al_xGa_{1-x}As ($0 < x < 0.5$)、In_xGa_{1-x}As ($0 < x < 0.5$)、In_xGa_{1-x}As ($0 < x < 0.5$)等にドーピングする。具体的には、得られる化合物半導体装置の特性のバランスの観点から、ZnドーピングGaAs、BeドーピングGaAs、CドーピングGaAs等を例示できる。

【0021】そして、MBE法、MOCVD法、LPE法等により、p型不純物を臨界膜厚に達しない範囲で、好ましくは10nm以上、より好ましくは20nm以上、好ましくは200nm以下、より好ましくは100nm以下の厚みで、ゲート電極を成膜する。

【0022】なお、前記のようなゲート電極は、p型不純物拡散層と同組成の化合物半導体にp型不純物をドー

プことによって形成されることが好ましい。この場合、ゲート電極は、p型不純物拡散層に対して格子整合状態で形成されることとなるため、ゲート電極およびp型不純物拡散層間に形成される再成長界面の接合は良好なものとなり、得られる素子の寿命は長くなり、歩留まりも向上する。

【0023】また、ゲート電極およびp型不純物拡散層はAlを含まない化合物半導体より構成されることが好ましい。Alは容易に酸化されて酸化アルミとなるが、ゲート電極およびp型不純物拡散層がAlを含有していなければ、ゲート電極およびp型不純物拡散層間に形成される再成長界面が、金属酸化物により乱れることが抑制されるため、再成長界面の接合状態は良好なものとなる。この結果、得られる素子の寿命は長くなり、歩留まりも向上する。

【0024】ただし、ゲート電極が高ドーピングされ縮退していると、高周波領域において上記酸化の影響が顕著とならない場合があり、この際には、ゲート電極がAlを含んでいても構わない。

【0025】本発明におけるp型不純物拡散層を構成する化合物半導体としては、p型不純物の拡散が速く、ゲート電極として機能し得る新たなp型化合物半導体領域を良好に形成し得るものが望ましく、例えばi型化合物半導体として、アンドープGaAs、アンドープIn_xGa_{1-x}As ($0 < x < 0.5$)等を例示することができる。また、p型化合物半導体としては、これらのi型化合物半導体に、C、Be等のp型不純物をドーピングしたものを例示することができる。具体的には、得られる化合物半導体装置の特性のバランスの観点から、アンドープGaAs、CドーピングGaAs等が好ましい。

【0026】なお、上記の様なp型化合物半導体によりp型不純物拡散層を構成した場合、仮に、p型不純物の拡散量が不足したとしても、p型不純物拡散層中に十分なドーパント濃度のp型化合物半導体領域を形成することができる。しかしながら、高いドーパント濃度のp型化合物半導体よりp型不純物拡散層を構成すると、ゲート電極直下以外の領域のチャネル電子が枯渇してしまい、オン抵抗が大きくなる場合もある。

【0027】以上の理由により、p型不純物拡散層をp型化合物半導体により構成した場合、p型不純物濃度は、 $1 \times 10^{18} \text{ atm/cm}^3$ 以上が好ましく、 $1 \times 10^{19} \text{ atm/cm}^3$ 以上がより好ましく、 $1 \times 10^{20} \text{ atm/cm}^3$ 以下が好ましく、 $1 \times 10^{21} \text{ atm/cm}^3$ 以下がより好ましい。

【0028】更に、得られる素子の特性のバランスを取るために、p型不純物拡散層の厚みは、2nm以上が好ましく、5nm以上がより好ましく、50nm以下が好ましく、30nm以下がより好ましい。

【0029】そして、以上に述べた様なp型不純物拡散層は、MBE法やMOCVD法等により成膜することが

できる。なお、p型不純物拡散層の成膜温度が得られるp型不純物拡散層の結晶性に影響を及ぼすため、p型不純物拡散層の形成温度が、後に行われるp型不純物の拡散の距離に影響する場合があります、この様な観点からp型不純物拡散層は400℃以上で成膜される場合がある。

【0030】なお、p型不純物拡散層がAlを含んでいない場合は、p型不純物拡散層の厚みを上記の様な範囲とすることにより、電子供給層等の下層が酸化されることを抑制することができる。

【0031】また、必要に応じて、p型不純物拡散層は、i型化合物半導体又はp型化合物半導体の2層以上よりなる積層構造の場合もある。この様な積層構造よりなるp型不純物拡散層は、高温の処理によりp型不純物の拡散距離が長い工程を経て素子が作製される場合に、好ましい。

【0032】本発明におけるJFETの製造方法は、p型不純物をp型不純物拡散層内に拡散し、ゲート電極の下部にゲート電極として機能し得るp型化合物半導体領域を新たに形成する工程を含んでいる。

【0033】そして、p型不純物をp型不純物拡散層内に拡散し、p型化合物半導体領域を新たに形成する工程は、p型化合物半導体よりなるゲート電極を形成すると同時に行われる場合もあり、ゲート電極形成後のアニール等によって行われる場合もある。ゲート電極作製と同時にp型化合物半導体領域を形成する場合は、化合物半導体装置の製造工程が簡略化できるため好ましく、ゲート電極作製後にp型化合物半導体領域を形成する場合は、形成条件の自由度が高く好ましい。

【0034】p型化合物半導体領域を新たに形成する工程は、既に形成された化合物半導体層を劣化させることなく、良好なp型化合物半導体領域を形成するために、400℃以上が好ましく、430℃以上がより好ましく、450℃以上が更に好ましく、700℃以下が好ましく、680℃以下がより好ましく、650℃以下が更に好ましい。

【0035】また、上記と同様の理由から、p型化合物半導体領域を新たに形成する工程は、30秒以上が好ましく、45秒以上がより好ましく、1分以上が更に好ましく、20分以下が好ましく、15分以下がより好ましく、10分以下が更に好ましい。

【0036】なお、本発明の化合物半導体装置を製造する各工程の中で、p型化合物半導体領域を新たに形成する工程の温度が最も高温であることが、他の化合物半導体層を劣化させることなく、またp型不純物の再拡散を抑制する観点から好ましい。

【0037】また、p型不純物拡散層上にゲート電極を積層する際、p型不純物拡散層がAlを含んでいなければ、p型不純物拡散層およびゲート電極間の再成長界面において、金属酸化物の生成が抑制される。更に、ゲート電極がAlを含んでいなければ、p型不純物拡散中に

ゲート電極が酸化されることが抑制される。

【0038】以上に説明した様に、本発明においては、温度および時間等の製造条件を厳密に制御し、良好なp型化合物半導体領域を新たに形成することにより、従来と異なり、界面準位の影響が十分抑制され、pn接合面の急峻性が向上され、再成長界面の良好な接合が実現されたJFETの製造が可能となるものである。

【0039】本発明においては、電子供給層とp型不純物拡散層との間に、i型化合物半導体またはn型化合物半導体よりなるp型不純物不活性層を形成することもできる。この場合、たとえp型不純物がp型不純物拡散層を通過してp型不純物不活性層にまで到達したとしても、p型不純物不活性層中に新たにp型化合物半導体領域が形成されることが抑制される。

【0040】よって、この場合、ゲート領域における電気的なpn接合面は、p型不純物拡散層とp型不純物不活性層との間の界面、すなわち、p型不純物拡散層の底面に規定され、良好な急峻性を有することとなる。この結果、得られる素子の特性のバラツキが抑えられ、またゲート容量を十分低くすることが可能となり、高周波特性は良好なものとなる。

【0041】このようなp型不純物不活性層を構成する化合物半導体としては、ゲート電極からのp型不純物の拡散が遅く、ゲート電極として機能し得る新たなp型化合物半導体領域が形成され難いものが好ましく、例えばi型化合物半導体として、アンドープ $Al_{1-y}Ga_yAs$ ($0 < y < 0.5$)、アンドープ $In_zGa_{1-z}P$ ($0 < z < 0.5$)等を例示することができる。また、p型化合物半導体としては、これらのi型化合物半導体に、Si等のn型不純物をドーピングした物を例示することができる。

【0042】p型不純物不活性層をn型化合物半導体より構成した場合、素子全体としての特性を劣化させることなく、新たなp型化合物半導体領域の生成を十分抑制するために、n型不純物のドーパント濃度は、 $1 \times 10^{16} \text{ atm/cm}^3$ 以上が好ましく、 $1 \times 10^{17} \text{ atm/cm}^3$ 以上がより好ましく、 $1 \times 10^{20} \text{ atm/cm}^3$ 以下が好ましく、 $1 \times 10^{19} \text{ atm/cm}^3$ 以下がより好ましい。

【0043】更に、得られる素子の特性のバランスを取り、ゲート電極から拡散してくるp型不純物の通過を抑制するために、p型不純物不活性層の厚みは、2nm以上が好ましく、5nm以上がより好ましく、100nm以下が好ましく、30nm以下がより好ましい。そして、以上に述べた様なp型不純物不活性層は、電子供給層の形成後でp型不純物拡散層の形成前に、MBE法やMOCVD法等により400℃以上で成膜することができる。

【0044】本発明における電子供給層は、従来公知の化合物半導体より構成することができる。例えば、Al

10

20

30

40

50

Ga_{1-X}As ($0 < X < 0.5$)、 $\text{In}_Z\text{Ga}_{1-Z}\text{P}$ ($0 < Z < 0.5$) 等に、Si、Se、S、Sn等をドーブしたn型化合物半導体を例示することができ、具体的には、Siドーブ $\text{Al}_X\text{Ga}_{1-X}\text{As}$ ($0 < X < 0.5$) 等が使用される。

【0045】なお、電子供給層におけるn型不純物のドーパント濃度は、素子全体としての特性を劣化させることなく、新たなp型化合物半導体領域の生成を十分抑制するために、 $1 \times 10^{17} \text{ atm/cm}^3$ 以上が好ましく、 $1 \times 10^{18} \text{ atm/cm}^3$ 以上がより好ましく、 $1 \times 10^{20} \text{ atm/cm}^3$ 以下が好ましく、 $1 \times 10^{19} \text{ atm/cm}^3$ 以下がより好ましい。

【0046】また、電子供給層の厚みは、3 nm以上30 nm以下が好ましく、MBE法やMOCVD法等により成膜することができる。

【0047】本発明におけるチャンネル層は、アンドープ $\text{In}_Z\text{Ga}_{1-Z}\text{As}$ ($0 < Z < 0.5$) 等の従来公知の化合物半導体より構成することができる。また、チャンネル層の厚みは、5 nm以上50 nm以下が好ましく、MBE法やMOCVD法等により成膜することができる。

【0048】なお、本発明においては、以上に説明した層以外にも、必要に応じて、バッファ層やスペーサ層等を設けることができる。

【0049】更に、エッチングストップ層を設ける場合もある。特に、p型不純物拡散層上に、p型不純物を含有するエッチングストップ層を形成し、エッチングストップ層中のp型不純物をp型不純物拡散層中に拡散することによって、p型化合物半導体領域を新たに形成する場合もある。この様な構造においては、エッチングストップ層の形成と同時にp型不純物の拡散を行う場合もある。又は別途アニール時にp型不純物の拡散を行う場合もある。

【0050】以上の様なバッファ層、スペーサ層、エッチングストップ層等を設けることにより、得られる素子の特性のバランスを良好なものとすることができる。

【0051】本発明におけるJFETにおいては、pn接合面における界面準位の影響が十分抑制され、pn接合面の急峻性が向上され、再成長界面の良好な接合が実現されている。このため、高周波特性が改良され、しきい値電圧の制御性が向上し、高出力動作時の最大出力が10%以上向上する場合もある。

【0052】

【実施例】以下に実施例により本発明を更に詳細に説明する。

【0053】(実施例1) 図3を用いて実施例1を説明する。まず半絶縁性基板101上に、層厚400 nmのGaAsバッファ層102、層厚100 nmの $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ バッファ層103、Siを $4 \times 10^{18} \text{ atm/cm}^3$ ドープした層厚4 nmの $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$

As電子供給層104、層厚2 nmのアンドープ $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ スペーサ層105、層厚15 nmのアンドープ $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ チャネル層106、層厚2 nmのアンドープ $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ スペーサ層107、Siを $4 \times 10^{18} \text{ atm/cm}^3$ ドープした層厚12 nmの $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ 電子供給層108、層厚15 nmのアンドープ $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ よりなるp型不純物不活性層109、層厚5 nmのアンドープGaAsよりなるp型不純物拡散層110、層厚5 nmの $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ エッチングストップ層111、層厚100 nmのGaAsオーミックコンタクト層112をMBE法またはMOCVD法により順次エピタキシャル成長し、図1(a)に示す積層体を作製する。図2はエピタキシャル成長後の構造を示す。

【0054】次に作製した積層体上にマスクを形成して、111をエッチングストップ層としてオーミックコンタクト層112をドライエッチングし開口する。その後、マスク及びエッチングストップ層111の開口部を除去する。得られる構造を図3(b)に示す。

【0055】その上に SiO_2 膜181、ゲートリセス部が開口したマスク192を順次積層し、 SiO_2 膜181をエッチングしてゲート開口部にp型不純物拡散層110を露出させる。図3(c)は、 SiO_2 膜181エッチング後の構造である。

【0056】更に、マスク192を除去後、p型不純物拡散層110上に SiO_2 膜181をマスクとして、Znを $1 \times 10^{20} \text{ atm/cm}^3$ ドープしたZnドーブGaAsゲート電極120を、MOCVD装置内で成長温度500℃により、2分の間、選択成長させる。この選択成長の際、図3(d)に示す様に、ゲート電極120中のp型不純物であるZnが、p型不純物拡散層110中に拡散し、新たなp型化合物半導体領域121が形成され、ゲート電極として機能する。なお、p型不純物拡散層110はAlを含んでいないため、両者の間に形成される再成長界面での金属酸化物の発生は抑制されている。また、p型不純物拡散層110およびゲート120の格子定数は一致している。これらの理由により、再成長界面の接合は良好である。

【0057】図3(d)の楕円で囲った拡大図に示すように、Znの拡散がp型不純物拡散層110中に制御される場合もある。特にZnの拡散がp型不純物不活性層109に及ぶ場合もある。特にZnの拡散がp型不純物不活性層109に及ぶ場合は、p型不純物不活性層109中での新たなp型化合物半導体領域の形成が抑制されているため、電気的なゲート領域のpn接合面は、p型不純物拡散層110層とp型不純物不活性層109との界面、すなわち、p型不純物拡散層110層の底面で規定される。このため、ゲート領域のpn接合面は急峻である。この結果、しきい値電圧の制御性が改良され、十分にゲート容量が低減されたJFETが提供できる。

10

20

30

40

50

【0058】その後、ゲート電極120上にゲート電極配線171を形成し、ソース電極172及びドレイン電極173を形成して、図3(e)の構造を得る。このような構造の場合、界面準位は、p型不純物拡散層110及びゲート電極120からなる再成長界面で発生する。一方、ゲート領域における電氣的なpn接合面は、p型不純物拡散層110内またはp型不純物拡散層110の底面に存在している。このため、JFETの動作中における再成長界面の界面準位の影響が抑制され、優れた高周波数特性が実現できる。

【0059】(実施例2) p型不純物拡散層110を $1 \times 10^{18} \text{ atm/cm}^3$ のCがドーブされた、層厚5nmのGaAsとしたこと以外は、実施例1と同様にしてJFETを作製することができる。

【0060】この場合においても、p型不純物拡散層110中には、十分なp型不純物濃度の新たなp型化合物半導体領域121が形成される。また、ゲート電極120下以外の領域において、チャネル層106中の電子が枯渇することはない。

【0061】(実施例3) 図4に示すように、p型不純物拡散層110の層厚を3nmをとり、ゲート電極120の形成前に、層厚2nmのGaAsよりなる第2のp型不純物拡散層130を形成する以外は、実施例1と同様にしてJFETを作製することができる。

【0062】この実施例の場合もp型化合物半導体領域121が形成されるが、高温の処理によりp型不純物の拡散距離が長い工程を経て素子が作製される場合、上記の構造は特に有効である。

【0063】(実施例4) 図5を用いて実施例4を説明する。まず、半絶縁性基板401上に、層厚400nmのGaAsバッファ層402、層厚100nmの $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ バッファ層403、Siを $4 \times 10^{18} \text{ atm/cm}^3$ ドーブした層厚4nmの $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ 電子供給層404、層厚2nmのアンダー $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ スペーサ層405、層厚15nmのアンダー $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ チャネル層406、層厚2nmのアンダー $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ スペーサ層407、Siを $4 \times 10^{18} \text{ atm/cm}^3$ ドーブした層厚12nmの $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ 電子供給層408、層厚15nmのアンダー $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ よりなるp型不純物不活性層409、層厚15nmのアンダーGaAsよりなるp型不純物拡散層410、層厚5nmで $1.0 \times 10^{20} \text{ atm/cm}^3$ のZnドーブされた $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ エッチングストップ層411、層厚50nmで $1.0 \times 10^{20} \text{ atm/cm}^3$ のZnドーブされたGaAsゲート電極層412を、MBE法またはMOCVD法でエピタキシャル成長により、順次積層する。図5(a)はエピタキシャル成長後の積層構造を示す。なお、AlGaAsよりなる404、405、407、408、409及び411から選ばれる2以上の層を、InGaP

より構成することもできる。また、AlGaAsよりなる409に、例えば $4 \times 10^{18} \text{ atm/cm}^3$ のSiをドーブすることもできる。

【0064】次に、得られた積層構造体上にマスク491を形成し、エッチングストップ層411上のゲート電極層412をエッチングする。得られた構造を図5(b)に示す。

【0065】その後、マスク491と、ゲート電極部以外のエッチングストップ層411とを除去する。その上に SiO_2 膜481、オーミックコンタクト部分が開口したマスク492を順次積層し、 SiO_2 膜481をエッチングしてオーミックコンタクト部分にp型不純物拡散層410を露出させる。図5(c)は SiO_2 膜481をエッチング後の構造である。

【0066】更に、マスク492を除去後、p型不純物拡散層410上に SiO_2 膜481をマスクとして、Siを $4 \times 10^{18} \text{ /cm}^3$ ドーブしたGaAsオーミックコンタクト層420を、成長温度500℃にて、10分の間、選択成長する。この選択性長の際に、図5(d)に示すように、エッチングストップ層411及び/又はゲート電極層412中のZnがp型不純物拡散層410中を拡散する。図12は選択成長後の構造を示す。Znは図12の421の部分に拡散する。この場合も実施例1と同様にして、ゲート領域の電氣的なpn接合面が、p型不純物拡散層410内または底面に形成される。

【0067】その後、 SiO_2 膜481をゲート電極層412に連通するよう開口し、ゲート電極471、ソース電極472、ドレイン電極473をそれぞれ形成し、図5(e)に示すJFETを得る。

【0068】この様にして得られたJFETにおいては、pn接合面に対する界面準位の影響が十分抑制され、pn接合面の急峻性が向上され、再成長界面の良好な接合が実現される。

【0069】(実施例5) p型不純物拡散層410を $1 \times 10^{18} \text{ atm/cm}^3$ のCがドーブされた、層厚5nmのGaAsとしたこと以外は、実施例4と同様にしてJFETを作製することができる。

【0070】この場合においても、p型不純物拡散層410中には、十分なp型不純物濃度の新たなp型化合物半導体領域421が形成され、また、p型不純物不活性層409や電子供給層408等において電子の空乏化が発生することもない。

【0071】

【発明の効果】以上の説明から明らかなように本発明のJFETにおいては、ゲート電極中のp型不純物をゲート電極下部に形成されたp型不純物拡散層中に積極的に拡散し、ゲート電極領域の電氣的なpn接合面をp型不純物拡散層内または底面に形成することにより、ゲート電極およびp型不純物拡散層間の再成長界面に発生する界面準位の、ゲート電極領域の電氣的なpn接合面に対

する影響を抑制することができ、良好な高周波特性が実現される。

【図面の簡単な説明】

【図1】本発明におけるJFETを説明するための図である。

【図2】従来のJFETを説明するための図である。

【図3】本発明におけるJFETの実施例、及び、その製造方法を説明するための工程断面図である。

【図4】本発明におけるJFETの他の実施例を説明するための断面図である。

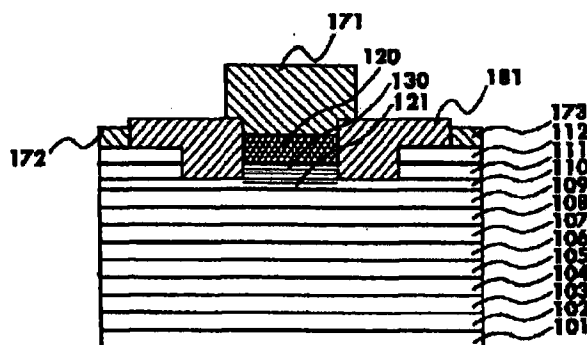
【図5】本発明におけるJFETの他の実施例、及び、その製造方法を説明するための工程断面図である。

【符号の説明】

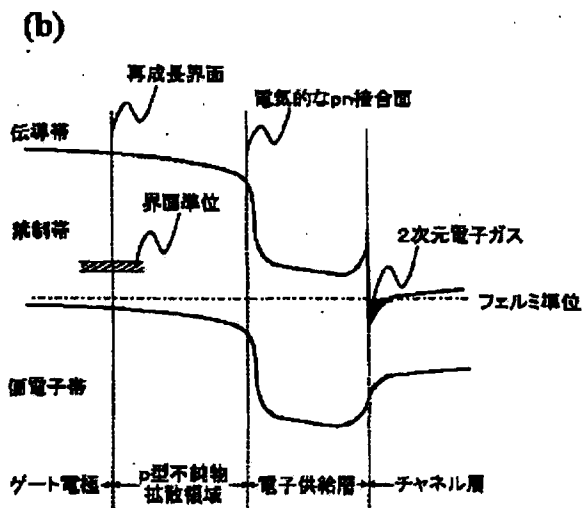
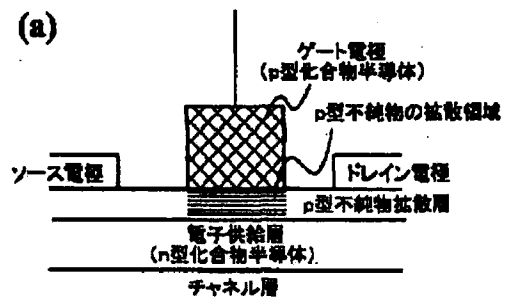
101 半絶縁性基板
102 バッファ層
103 バッファ層
104 電子供給層
105 スペーサ層
106 チャネル層
107 スペーサ層
108 電子供給層
109 p型不純物不活性層
110 p型不純物拡散層
111 エッチングストッパー層
112 オーミックコンタクト層
120 ゲート電極

* 121 p型化合物半導体領域
130 p型不純物拡散層
171 ゲート電極配線
172 ソース電極
173 ドレイン電極
181 SiO₂膜
192 マスク
401 半絶縁性基板
402 バッファ層
403 バッファ層
404 電子供給層
405 スペーサ層
406 チャネル層
407 スペーサ層
408 電子供給層
409 p型不純物不活性層
410 p型不純物拡散層
411 エッチングストッパー層
412 ゲート電極層
20 420 オーミックコンタクト層
471 ゲート電極
472 ソース電極
473 ドレイン電極
481 SiO₂膜
491 マスク
* 492 マスク

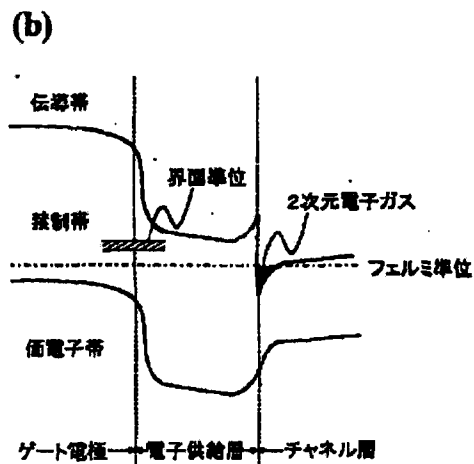
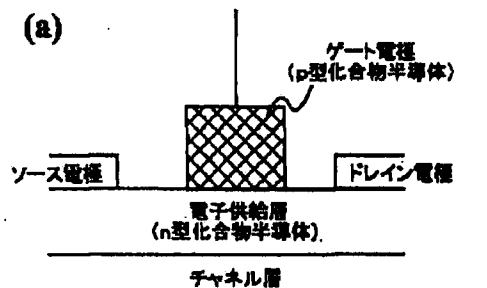
【図4】



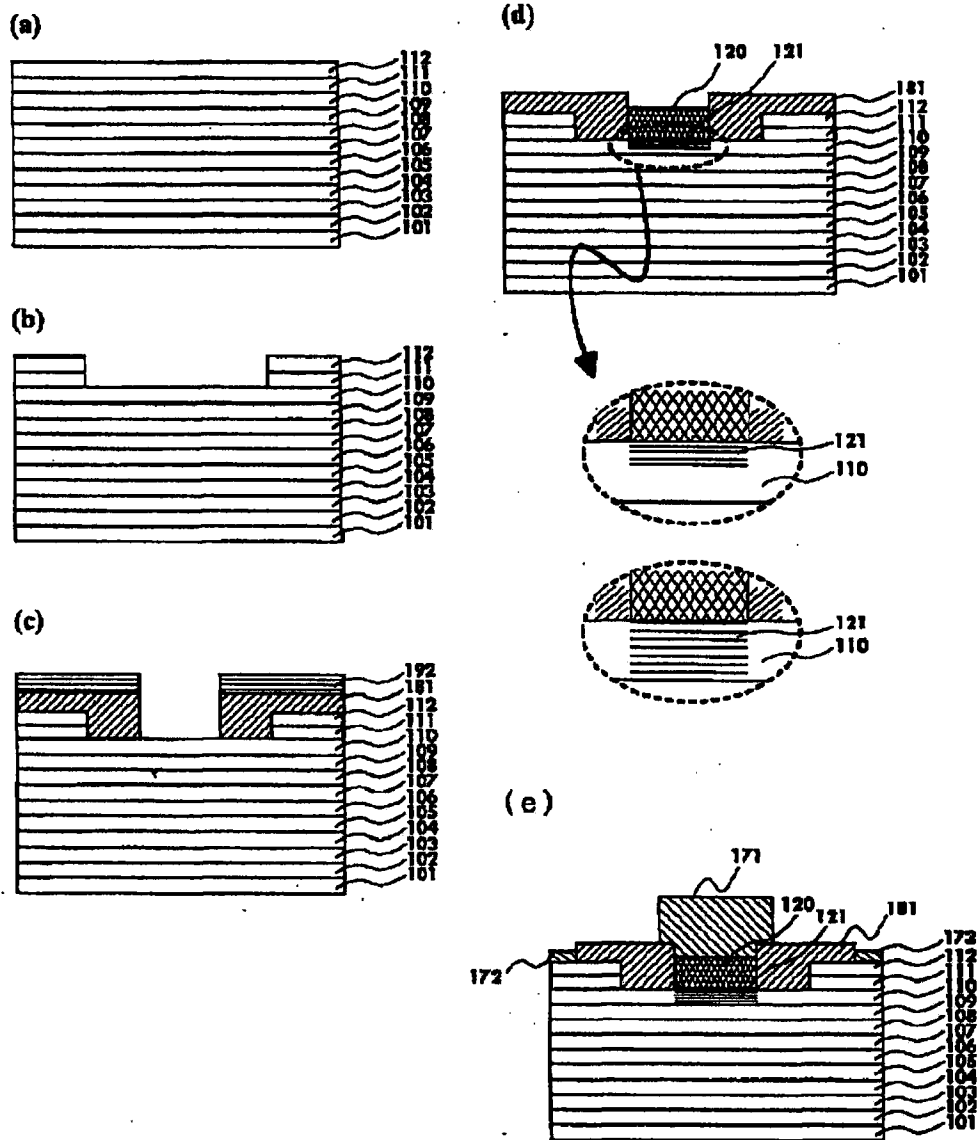
【図1】



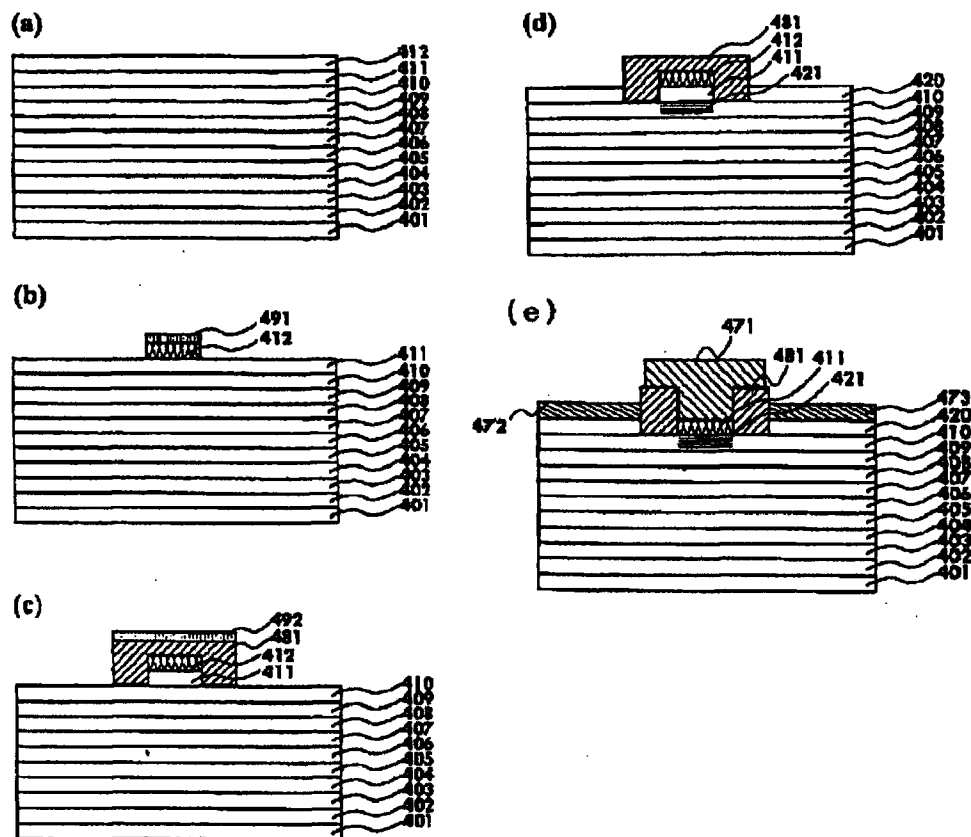
【図2】



[図3]



【図5】



フロントページの続き

(51)Int. Cl.

H01L 21/337
29/808

識別記号

F I

ターマコード (参考)

(72)発明者 宮本 広信

東京都港区芝五丁目7番1号 日本電気株
式会社内

(72)発明者 岩田 直高

東京都港区芝五丁目7番1号 日本電気株
式会社内

Fターム(参考) 4M104 AA04 BB36 BB39 CC01 DD43
DD46 DD55 DD92 GG11 HH20
5F102 FA05 GB01 GC01 GD04 GJ05
GK05 GK06 GK08 GL04 GL05
GL07 GL16 GM04 GM05 GM06
GM08 GM10 GN05 GQ01 GQ03
GR04 GR10 GS01 GS03 HB06
HC01 HC02 HC05 HC07 HC17